

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-53800

(43) 公開日 平成6年(1994) 2月25日

(51) Int.Cl.<sup>5</sup>

H 0 3 K 17/687

17/16

識別記号

庁内整理番号

F I

技術表示箇所

H 9184-5 J

8221-5 J

H 0 3 K 17/687

F

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号 特願平4-225188

(22) 出願日 平成4年(1992) 7月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 平野 要二

東京都港区芝五丁目7番1号 日本電気株式会社内

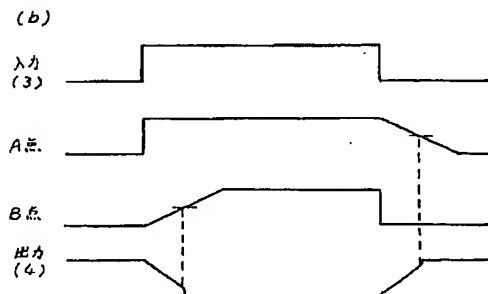
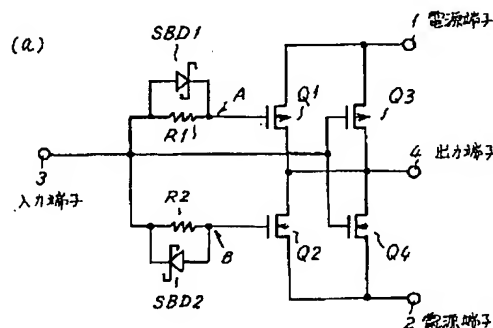
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 出力回路

(57) 【要約】

【目的】 半導体集積回路で構成され、出力変化時における電源ノイズを低減すると共に、直流負荷に対する安定動作を可能にした出力回路を得る。

【構成】 導通抵抗の大きなトランジスタQ3、Q4と小さなトランジスタQ1、Q2とを並列接続し、導通抵抗の大きなトランジスタQ3、Q4には入力端子3を直接接続し、導通抵抗の小さなトランジスタQ1、Q2には遅延回路(SBD1、R1)(SBD2、R2)を介して入力端子3を接続する。入力、即ち出力の変化時には先に導通抵抗の大きなトランジスタが導通して電源ノイズの低減を可能とし、出力レベルが最終レベルに近づいた時点で導通抵抗の小さいトランジスタが導通して直流負荷に対する駆動能力を大きくし、直流負荷に対する安定動作を実現する。



## 【特許請求の範囲】

【請求項1】 導通抵抗の大きなトランジスタと小さなトランジスタとを並列接続し、導通抵抗の大きなトランジスタには入力端子を直接接続し、導通抵抗の小さなトランジスタには遅延回路を介して入力端子を接続したことを特徴とする出力回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に出力変化時に発生する電源ノイズを低減する出力回路に関する。

【0002】

【従来の技術】 従来、この種の出力回路は、図4(a)に示すように、PチャネルMOSトランジスタQ1と、NチャネルMOSトランジスタQ2のソース・ドレインを縦続接続しており、そのソースとドレインを電源端子1, 2に接続し、ゲートを入力端子3、ソースとドレインの接続点を出力端子4として構成している。図4(b)はその入力と出力とのタイミングを示す図である。そして、トランジスタQ1とQ2の駆動能力を小さくすること、即ちトランジスタの導通抵抗を大きくすることにより電源ノイズを低減している。この電源ノイズは電源のインダクタンスLと、出力変化時の電源電流Iの単位時間当たりの変化量、 $\Delta I / \Delta t$ の積、 $L \cdot (\Delta I / \Delta t)$ で決まるため、トランジスタの導通抵抗 $R_{on}$ を大きくすることで、 $\Delta I / \Delta t$ を小さくし、電源ノイズを低減している。

【0003】

【発明が解決しようとする課題】 この従来の出力回路ではトランジスタQ1, Q2の導通抵抗 $R_{on1}$ ,  $R_{on2}$ を大きくして電源ノイズを低減しているが、出力負荷がトランジスタ・トランジスタ論理回路（以下、TTLと称する）のように直流電流 $I_o$ を伴う場合は、出力レベルを十分なレベルに保つことができず、 $I_o = 0$ の容量負荷の場合に比べて高レベルが $I_o \times R_{on1}$ だけ低下し、低レベルが $I_o \times R_{on2}$ だけ上昇することになる。これにより、次段の論理回路を安定に駆動することができず、誤動作を引き起こすという問題がある。本発明の目的は、出力変化時における電源ノイズを低減すると共に、直流負荷に対する安定動作を可能にした出力回路を提供することにある。

【0004】

【課題を解決するための手段】 本発明は、導通抵抗の大きなトランジスタと小さなトランジスタとを並列接続し、導通抵抗の大きなトランジスタには入力端子を直接接続し、導通抵抗の小さなトランジスタには遅延回路を介して入力端子を接続する。

【0005】

【実施例】 次に、本発明について図面を参照して説明する。図1(a)は本発明の第1実施例を示す回路図であ

る。ここでは、入力端子3に直接接続された導通抵抗の大きなPチャネルMOSトランジスタQ3及びNチャネルMOSトランジスタQ4と、抵抗R1とショットキバリアダイオードSBD1の並列接続で構成された遅延回路を介して入力端子3に接続された導通抵抗の小さいPチャネルMOSトランジスタQ1と、同様に抵抗R2とショットキバリアダイオードSBD2からなる遅延回路を介して入力端子3に接続された導通抵抗の小さいNチャネルMOSトランジスタQ2で構成されている。なお、各トランジスタQ1~Q4間には電源端子1, 2が接続される。

【0006】 この回路において、図1(b)にタイミングを示すように、入力信号が低レベルから高レベルに変化した場合、直ちにトランジスタQ4が導通し、トランジスタQ3が遮断状態になる。また、A点の電位はダイオードSBD1を通して入力端子3と殆ど同時に立ち上がるため、トランジスタQ1も直ちに遮断状態になる。一方、B点の電位はダイオードSBD2が遮断されるため、抵抗R2を介して立ち上がることになり、トランジスタQ2のゲートに存在する寄生容量をC2とすると、R2とC2の積で決まる時定数に比例して立ち上がり時間が大きくなり、トランジスタQ2の導通を遅らせることができる。

【0007】 したがって、抵抗R2を適当に大きくすることにより、出力レベルが最終レベルに近づいた時点でトランジスタQ2を導通させることが可能となる。これにより、出力変化時はトランジスタQ4のみ導通させ、その導通抵抗が大きいことを利用して電源電流の変化 $\Delta I / \Delta t$ を小さく保つことで電源ノイズを低減し、出力レベルが最終レベルに近づいた時点でトランジスタQ2を導通させることにより、その導通抵抗が小さいことを利用して直流負荷に対しても安定動作が実現できる。

【0008】 一方、入力が高レベルから低レベルに変化した場合は、トランジスタQ3が導通し、トランジスタQ4が遮断状態になる。B点の電位はダイオードSBD2を通して入力端子3と殆ど同時に立ち下がるため、トランジスタQ2も直ちに遮断状態になる。ところが、A点の電位はダイオードSBD1が遮断されるため、抵抗R1を介して立ち下がることになり、トランジスタQ1のゲートに存在する寄生容量をC1とすると、R1とC1の積で決まる時定数に比例して立ち下がり時間が大きくなり、トランジスタQ1の導通を遅らせることができる。

【0009】 抵抗R1を適当に大きくすることにより、出力レベルが最終レベルに近づいた時点でトランジスタQ1を導通させることが可能となり、出力変化時はトランジスタQ3のみ導通させ、その導通抵抗が大きいことを利用して電源電流の変化 $\Delta I / \Delta t$ を小さく保つことで電源ノイズを低減し、出力レベルが最終レベルに近づいた時点でトランジスタQ1を導通させることにより、

3

その導通抵抗が小さいことを利用して直流負荷に対しても安定動作が実現できる。

【0010】図2(a)は本発明の第2実施例であり、図1(a)と同一部分には同一符号を付してある。この実施例では、PチャネルMOSトランジスタQ1と入力端子3との間にのみダイオードSBD1と抵抗R1からなる遅延回路を介挿している。したがって、図2(b)にタイミングを示すように、入力が立ち下がり時、即ち出力立ち上がり時にトランジスタQ1の導通を遅延させ、その後にトランジスタQ1を導通させることで、出力立ち上がり時の電源ノイズを低減することができる。

【0011】図3(a)は本発明の第3実施例であり、図1(a)と同一部分には同一符号を付してある。この実施例では、NチャネルMOSトランジスタQ2と入力端子3との間にのみダイオードSBD2と抵抗R2からなる遅延回路を介挿している。したがって、図3(b)にタイミングを示すように、入力が立ち上がり時、即ち出力立ち下がり時にトランジスタQ2の導通を遅延させ、その後にトランジスタQ2を導通させることで、出力立ち下がり時の電源ノイズを低減することができる。

【0012】

【発明の効果】以上説明したように本発明は、導通抵抗の大きなトランジスタには入力端子を直接接続して入力に応じて直ちに動作されるように構成し、導通抵抗の小

4

さなトランジスタには遅延回路を介して入力端子を接続して入力に対して遅延して動作されるように構成しているので、出力の変化時には先に導通抵抗の大きなトランジスタが導通して電源ノイズの低減を可能とし、出力レベルが最終レベルに近づいた時点で導通抵抗の小さいトランジスタが導通して直流負荷に対する駆動能力を大きくし、直流負荷に対する安定動作を実現する。

【図面の簡単な説明】

【図1】本発明の第1実施例の回路図とそのタイミング図である。

【図2】本発明の第2実施例の回路図とそのタイミング図である。

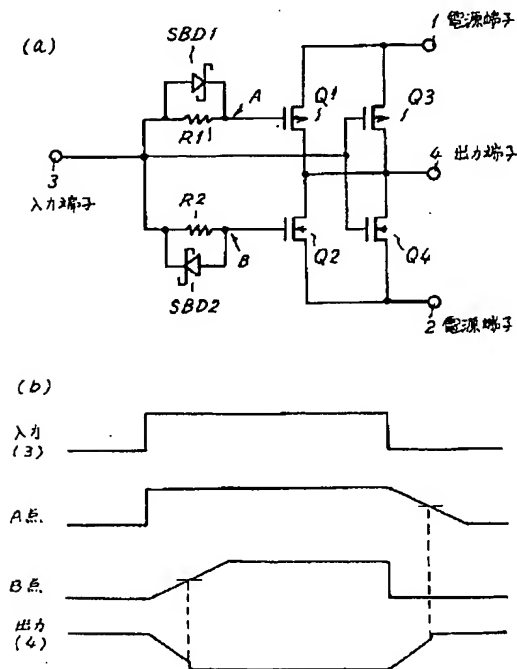
【図3】本発明の第3実施例の回路図とそのタイミング図である。

【図4】従来の出力回路の一例の回路図とそのタイミング図である。

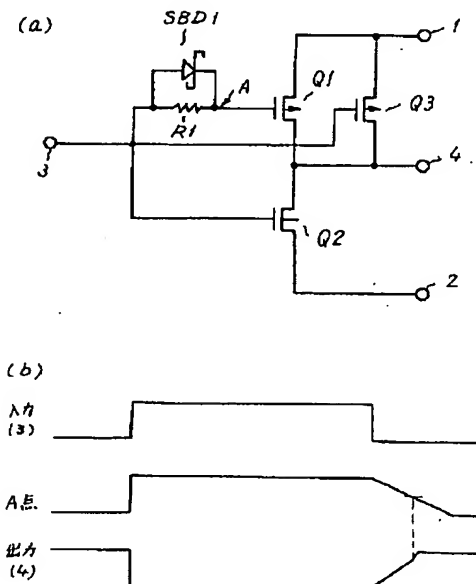
【符号の説明】

Q1, Q2 導通抵抗の小さなMOSトランジスタ  
Q3, Q4 導通抵抗の大きなMOSトランジスタ  
SBD1, SBD2 ショットキバリアダイオード  
R1, R2 抵抗  
1, 2 電源端子  
3 入力端子  
4 出力端子

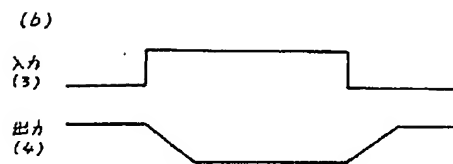
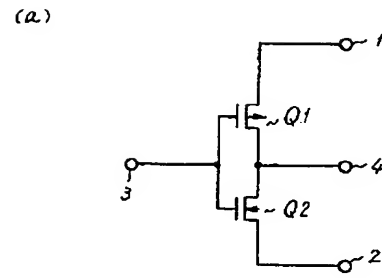
【図1】



【図2】



【图 4】





## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06053800 A**(43) Date of publication of application: **25.02.94**

(51) Int. Cl. **H03K 17/687**  
**H03K 17/16**

(21) Application number: **04225188**(71) Applicant: **NEC CORP**(22) Date of filing: **31.07.92**(72) Inventor: **HIRANO YOJI**(54) **OUTPUT CIRCUIT**

## (57) Abstract:

PURPOSE: To obtain an output circuit comprising a semiconductor integrated circuit in which power supply noise at the time of an output change is reduced and the circuit is stably operated on a DC load.

CONSTITUTION: Transistors (TRs) Q3, Q4 having a larger conduction resistance and TRs Q1, Q2 having a smaller conduction resistance are connected in parallel, an input terminal 3 is directly connected to the TRs Q3, Q4 having a larger conduction resistance and the input terminal 3 is connected to the TRs Q1, Q2 having a smaller conduction resistance via delay circuits (comprising SBD1, R1 and SBD2, R2). When an input (that is, an output) is changed, the TRs having a larger conduction resistance are conductive to reduce power supply noise, and when an output level reaches a final level, the TRs having a smaller conduction resistance are conductive to increase the drive capability for a DC load thereby realizing the stable operation for the DC load.

COPYRIGHT: (C)1994,JPO&amp;Japio

